

# Indice

<b>Capitolo 1 - Sistemi elettronici.....</b>	<b>1</b>
1.1 Modello 'Black Box'.....	2
1.2 Tecniche di progettazione.....	2
1.3 Flusso di progettazione.....	3
1.4 Specifiche di sistema.....	5
1.5 Flussi di dati.....	6
1.5.1 Pipeline.....	6
1.5.2 Array.....	7
1.5.3 Data path.....	7
1.5.4 Random logic.....	8
1.5.5 Concurrent.....	9
1.6 Segnali.....	9
1.7 Rumore.....	11
<b>Capitolo 2 - Segnali binari.....</b>	<b>12</b>
2.1 Sistemi di numerazione.....	13
2.2 Codifiche e configurazioni.....	14
2.3 Configurazioni binarie.....	15
2.4 Conversioni di base.....	16
2.4.1 Conversione da base non decimale a decimale.....	16
2.4.2 Conversione da base decimale a non decimale.....	17
2.4.3 Conversione da base decimale a base ottale / esadecimale.....	18
2.5 Codici binari.....	18
2.6 Codifiche non sequenziali.....	20
2.6.1 Codice a 7 segmenti.....	21
2.6.2 Codice Gray.....	21
2.7 Aritmetica binaria.....	22
2.7.1 Somma.....	23
2.7.2 Negazione.....	23
2.7.3 Sottrazione.....	24
2.7.4 Prodotto.....	25
2.7.5 Divisione.....	26
<b>Capitolo 3 - Reti logiche.....</b>	<b>28</b>
3.1 Modello matematico.....	29
3.2 Reti logiche combinatorie.....	30
3.2.1 Tabelle della verità.....	30
3.3 Reti Logiche Sequenziali.....	32
3.3.1 Tabella delle transizioni.....	33
3.3.2 Modelli di Mealy e di Moore.....	34
<b>Capitolo 4 - Algebra di commutazione.....</b>	<b>35</b>
4.1 Sistema matematico.....	36
4.2 Algebra di commutazione.....	36
4.3 Teoremi.....	38
4.3.1 Teoremi delle espressioni.....	38
4.3.2 Teoremi sulla somma e prodotto logico.....	39
4.3.3 Teoremi sulla complementazione.....	40
4.3.4 Teoremi della dualità.....	42
4.3.5 Teoremi di analisi e sintesi circuitale.....	43
4.4 Funzioni non completamente specificate.....	46
4.5 Mappe di Karnaugh.....	47
4.5.1 Concetto di adiacenza.....	49
4.5.2 Raggruppamento rettangolare.....	49
4.5.3 Copertura di una funzione.....	51
4.6 Sintesi a costo minimo.....	52
4.7 Metodo di Quine – McCluskey.....	54
4.7.1 Algoritmo.....	55
4.8 Reti con NAND e NOR.....	59

4.9 Reti a più livelli e più uscite.....	60
<b>Capitolo 5 - Elementi di memoria.....</b>	<b>62</b>
5.1 Segnali reali.....	63
5.2 Alee statiche e dinamiche.....	64
5.3 Elementi di memoria.....	66
5.3.1 SR - Latch.....	67
5.3.2 D-Latch.....	68
5.3.3 Flip Flop Master-Slave (FF-MS).....	69
5.3.4 Flip Flop Toggle (FF-T).....	70
5.3.5 Flip Flop J-K (JK-FF).....	71
5.4 Comandi asincroni.....	72
5.5 Generazione del clock.....	72
5.5.1 Generatori di clock.....	74
5.6 Parametri temporali.....	74
5.6.1 Set-up time.....	75
5.6.2 Hold time.....	76
5.6.3 Delay time.....	77
5.7 Metastabilità.....	77
<b>Capitolo 6 - Reti sequenziali.....</b>	<b>79</b>
6.1 Rappresentazione di FSM.....	80
6.2 Grafi di flusso.....	80
6.3 Problema dello stato iniziale.....	81
6.4 Sintesi e semplificazione di grafi.....	82
6.5 Sintesi con tool di sviluppo.....	84
6.6 Procedura di riduzione degli stati.....	85
6.6.1 Tabelle completamente specificate.....	85
6.6.2 Tabelle non completamente specificate.....	91
6.7 Generazione dello schema logico.....	98
<b>Capitolo 7 - Strutture fondamentali.....</b>	<b>101</b>
7.1 Registri.....	102
7.2 Shift register.....	102
7.3 Comunicazioni seriali.....	104
7.4 Moltiplicatori e divisori.....	105
7.5 Catene di ritardo.....	105
7.6 Sintesi a shift register.....	106
7.6.1 Edge detector.....	106
7.6.2 Generatori di sequenze.....	107
7.7 Contatori.....	109
7.7.1 Ripple counter.....	110
7.7.2 Carry-look-ahead counter.....	111
7.7.3 Ring counter.....	112
7.7.4 Johnson counter.....	113
7.7.5 LFSR.....	115
<b>Capitolo 8 - Circuiti integrati digitali.....</b>	<b>120</b>
8.1 Famiglie di dispositivi.....	121
8.1.1 Standard Product.....	121
8.1.2 ASIC (Application Specific Integrated Circuit).....	122
8.1.3 PLD.....	123
8.2 Flusso di progettazione VLSI.....	128
8.3 Tool di progettazione.....	129
8.3.1 Computer Aided Design (CAD).....	129
8.3.2 Electronic Design Automation (EDA).....	130
8.4 Linguaggi di descrizione ad alto livello.....	131
<b>Capitolo 9 - Il linguaggio Vhdl.....</b>	<b>132</b>
9.1 Cenni storici.....	133
9.2 Scopi.....	133
9.3 Livelli di astrazione.....	133
9.4 Modello VHDL.....	134
9.5 Identificativi del linguaggio VHDL.....	136
9.6 Sezione ENTITY.....	136

9.7 Sezione ARCHITECTURE.....	138
9.8 Il processo.....	139
9.9 Sezione PACKAGE.....	142
9.10 Librerie.....	143
9.11 Oggetti.....	144
9.11.1 Costanti.....	145
9.11.2 Variabili.....	145
9.11.3 Segnali.....	145
9.11.4 File.....	146
9.11.5 Visibilità.....	147
9.12 Tipi di dati.....	147
9.12.1 Tipo ACCESS.....	148
9.12.2 Tipi scalari.....	148
9.12.3 Tipi composti.....	149
9.12.4 Sottotipi.....	150
9.12.5 Tipi predefiniti.....	151
9.13 Principali costrutti.....	152
9.14 Modello temporale per la simulazione.....	153
9.14.1 TRANSPORT DELAY.....	153
9.14.2 INERTIAL DELAY.....	154
9.14.3 DELTA DELAY.....	155
9.15 Testbench.....	157
<b>Capitolo 10 - Tecniche di test.....</b>	<b>160</b>
10.1 Definizioni.....	161
10.1.1 Tasso di guasto o "failure-rate".....	161
10.1.2 Testing.....	163
10.2 Tipi di test.....	163
10.3 Modelli di guasto.....	164
10.3.1 Modelli "gate-level".....	164
10.3.2 Modelli "switch-level".....	165
10.3.3 Guasti in dispositivi di memoria.....	166
10.3.4 Scariche elettrostatiche.....	168
10.4 Procedure di test - definizioni.....	169
10.5 Macchine di test.....	169
10.6 Design for Testability (D.F.T.) .....	171
10.6.1 Test esaustivo.....	171
10.6.2 Tecniche di D.F.T.....	172
10.6.2.1 D.F.T. - Tecniche Ad-Hoc.....	172
10.6.2.2 D.F.T. - Tecniche strutturate.....	173
10.7 JTAG.....	178
10.7.1 Architettura.....	179
10.7.2 Registri.....	182
10.7.3 Istruzioni.....	184
10.7.3.1 Istruzione BYPASS.....	185
10.7.3.2 Istruzione SAMPLE/PRELOAD.....	185
10.7.3.3 Istruzione EXTEST.....	185
10.7.3.4 Istruzione INTEST.....	186
10.7.3.5 Istruzione CLAMP.....	186
10.7.3.6 Istruzione HIGHZ.....	187
10.7.3.7 Istruzioni IDCODE/USERCODE.....	187
10.7.3.8 Istruzione RUNBIST.....	187
10.8 Evoluzioni.....	187
<b>APPENDICI.....</b>	<b>191</b>
Appendice A.....	192
Appendice B.....	194
Appendice C.....	196
Appendice D.....	197
Appendice E.....	201
Appendice F.....	206
Appendice G.....	208
Appendice H.....	211
Appendice I.....	225
Appendice L.....	229
Appendice M.....	232

**BIBLIOGRAFIA..... 234**

**RICONOSCIMENTI..... 236**